

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-336609

(43) 公開日 平成10年(1998)12月18日

(51) Int. Cl.⁵ 識別記号H 0 4 N 7/08
7/081
5/06
5/14
7/083

F I

H 0 4 N 7/06
5/06
5/14
9/44
7/087Z
Z
B
A

審査請求 有 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平10-122548

(22) 出願日 平成10年(1998)5月1日

(31) 優先権主張番号 1997 18235

(32) 優先日 1997年5月12日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅羅洞416

(72) 発明者 李 興培

大韓民国京畿道水原市勸善區勸善洞(播地

なし) 保星アパート609棟607号

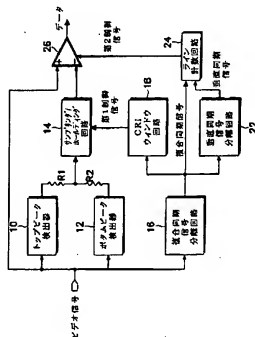
(74) 代理人 弁護士 志賀 正武 (外1名)

(54) 【発明の名称】 データスライス回路

(57) 【要約】

【課題】 データスライス回路を提供する。

【解決手段】 ビデオ信号を入力してトップピーク検出信号とボトムピーク検出信号をそれぞれ出力するトップピーク検出部及びボトムピーク検出部と、ビデオ信号から複合同期信号を分離する複合同期信号分離回路と、C R I 1 区間に対して第 1 制御信号を発生するC R I ウィンドウ回路と、トップピーク検出信号とボトムピーク検出信号の中間値を第 1 制御信号に応じてサンプリングし、そのサンプリングされた中間値を第 1 制御信号に応じてホールドして基準電圧を出力するサンプリング/ホールド回路と、複合同期信号にデータが載せられているラインのみで第 2 制御信号を発生する第 2 制御信号発生部と、第 2 制御信号に応じてビデオ信号を基準信号と比較する比較回路とを備え、データが載せられているラインのみでデータスライス動作を行うことにより、ノイズの発生を防止することができる。



(2)

特開平 10-336609

2

【特許請求の範囲】

【請求項 1】 データスライス回路において、

入力ビデオ信号のトップピークを検出してトップピーク検出信号を出力するトップピーク検出部と、
前記ビデオ信号のボタムピークを検出してボタムピーク検出信号を出力するボタムピーク検出部と、
前記ビデオ信号から複合同期信号を分離する複合同期信号分離回路と、

クロックランイン区間に対して第 1 制御信号を発生するクロックランインウィンド回路と、
前記トップピーク検出信号と前記ボタムピーク検出信号の中間値を第 1 状態の前記第 1 制御信号に 대응してサンプリングし、そのサンプリングされた中間値を第 2 状態の前記第 1 制御信号に 대응してホールディングして基準電圧を出力するサンプリング/ホールディング回路と、
前記複合同期信号を受信してデータが載せられているラインのみで第 2 制御信号を発生する第 2 制御信号生成部と、

前記第 2 制御信号に 대응して前記ビデオ信号を前記基準電圧と比較する比較回路を備え、
前記データスライス回路はデータが載せられているラインのみでデータスライス動作を行うことを特徴とするデータスライス回路。

【請求項 2】 前記第 1 制御信号は、前記複合同期信号がクロックランイン区間にある場合は第 1 状態を示し、前記複合同期信号が前記クロックランイン区間以外の区間にある場合は第 2 状態を示すことを特徴とする請求項 1 に記載のデータスライス回路。

【請求項 3】 前記第 2 制御信号生成部は、前記複合同期信号から垂直同期信号を分離する垂直同期信号分離回路と、
前記複合同期信号を計数してその計数値が所定の値に至ると、次の複合同期信号が発生するまで第 2 制御信号を発生するライン計数器とを備えることを特徴とする請求項 1 に記載のデータスライス回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はビデオ信号処理装置に係り、特にビデオ信号に載せられているデータを分離するデータスライス回路に関する。

【0002】

【従来の技術】 従来では、KBPS (Korean Broadcasting Program Service)、キャプション(Caption)サービス、テレテキスト(Teletext) サービス、EDS (Extended Data Service) などのために垂直消去区間のビデオ信号にデータが載せて伝送した。

【0003】 テレビジョン受像機はこのような垂直消去区間のビデオ信号に載せられているデータを分離し、前記データによる情報をディスプレイして各種のサービスを提供した。ここで、前記垂直消去区間のビデオ信号に

載せられているデータを分離する装置がデータスライス回路である。

【0004】 従来のデータスライス回路を示した図 1 を参照すれば、ビデオ信号はトップピーク検出器 10、ボタムピーク検出器 12、複合同期信号分離回路 16 及び比較回路 20 の非反転入力端子 (+) に入力される。前記トップピーク検出器 10 は前記ビデオ信号のトップピークを検出してトップピーク検出信号を出力する。前記ボタムピーク検出器 12 は前記ビデオ信号のボタムピークを検出してボタムピーク検出信号を出力する。かつ、前記トップピーク検出信号は抵抗 R 1 を通してサンプリング/ホールディング回路 14 の入力ノード (P) に至り、前記ボタムピーク検出信号は抵抗 R 2 を通してサンプリング/ホールディング回路 14 の入力ノード (P) に至る。前記抵抗 R 1 と R 2 は同一な抵抗値を有する。これにより、前記サンプリング/ホールディング回路 14 の入力ノード (P) は前記トップピーク検出信号と前記ボタムピーク検出信号の中間値となる。前記中間値信号 (以下、“サンプリング/ホールディング信号”という) は前記サンプリング/ホールディング回路 14 に入力される。

【0005】 前記複合同期信号分離回路 16 は前記ビデオ信号から複合同期信号を分離して出力する。前記複合同期信号は CR1 (Clock Run In) ウィンド回路 18 に入力される。前記 CR1 ウィンド回路 18 は前記複合同期信号を基にして CR1 区間のみで前記サンプリング/ホールディング回路 14 がサンプリング動作を行うようにする制御信号、例えばハイ状態の信号を出力し、その他の区間では前記サンプリング/ホールディング回路 14 がホールディング動作を行うようにする制御信号、例えばロー状態の信号を出力する。

【0006】 前記サンプリング/ホールディング回路 14 は前記ハイ状態の制御信号に反応して前記サンプリング/ホールディング信号をサンプリングする。かつ、前記サンプリング/ホールディング回路 14 は前記サンプリングされたサンプリング/ホールディング信号を前記ロー状態の制御信号に反応してホールディングする。前記サンプリング/ホールディング回路 14 の出力を基準電圧という。

【0007】 前記基準電圧は比較回路 20 の反転入力端子 (-) に入力される。前記比較回路 20 は前記ビデオ信号が基準電圧より大きいときはハイ状態の出力を発生し、前記ビデオ信号が基準電圧より小さいときはロー状態の出力を発生する。ここで、前記比較回路 20 の出力が上述した各種のサービスのためのデータである。

【0008】 図 2 に示したビデオ信号がデータスライス回路に入力される場合、その回路動作を説明すると、次の通りである。トップピーク検出器 10 は前記ビデオ信号のトップピークを検出して図 2 に示したトップピーク検出信号を発生する。かつ、ボタムピーク検出器 12 は

(3)

特開平10-336609

前記ビデオ信号のボタムピークを検出して図2に示したボタムピーク検出信号を発生する。前記トップピーク検出信号と前記ボタムピーク検出信号は抵抗R1、R2を適してサンプリング信号を発生する。図2に示したように、前記サンプリング信号は前記トップピーク検出信号と前記ボタムピーク検出信号の間隔値である。前記サンプリング信号はサンプリング/ホールディング回路14に入力される。

【0009】前記ビデオ信号の第N複合同期信号は複合同期信号分離回路16によりビデオ信号から分離されてCRIウィンドウ回路18に入力される。前記CRIウィンドウ回路18は前記第N複合同期信号を基にしてCRI区間のみでサンプリング/ホールディング回路14がサンプリング動作を行うようにする制御信号、例えばハイ状態の信号を出力する。前記ハイ状態の制御信号が前記サンプリング/ホールディング回路14に入力されることにより、前記サンプリング/ホールディング回路14は前記サンプリング/ホールディング信号をサンプリングする。

【0010】前記CRI区間の終了により、前記制御信号は前記サンプリング/ホールディング回路14がホールディング動作を行うようにする制御信号、例えばロー状態の信号に変換される。これにより、前記サンプリング/ホールディング回路14はサンプリングされたサンプリング/ホールディング信号をホールディングして出力する。したがって、前記サンプリング/ホールディング回路14は前記制御信号がロー状態に変換された時点で基準電圧を出力する。前記基準電圧は比較回路20の反転入力端子(−)に入力される。

【0011】これにより、前記比較回路20はビデオ信号が前記基準電圧より大きいときはハイ状態の信号を出力する。前記比較回路20の出力データはデータ区間のビデオデータに載せられているデータと同一である。

【0012】前記ビデオ信号に対して所定の水平同期信号以後からは実際のビデオ信号が発生する。しかしながら、前記サンプリング/ホールディング回路14のホールディング区間は所定の水平同期信号以後から発生する実際のビデオ信号の発生時まで続けられる。したがって、前記比較回路20は所定の水平同期信号以後から発生する実際のビデオ信号に対しても、比較動作を行いデータを出力する。

【0013】しかしながら、前記実際のビデオ信号により発生するデータは上述したサービスのために速い割合から送信したデータではない。したがって、前記実際のビデオ信号により発生するデータはノイズとなる。

【0014】上述したように、従来のデータスライス回路はビデオ信号のデータ区間以外の区間のビデオ信号に対してもデータスライスを行う。これにより、実際のビデオ信号をスライスすることによりノイズが発生するという問題がある。

【0015】

【発明が解決しようとする課題】従って、本発明の目的は、ビデオ信号のデータ区間のみでデータスライスを行うデータスライス回路を提供することにある。

【0016】

【課題を解決するための手段】前記目的を達成するための本発明は、データスライス回路において、入力ビデオ信号のトップピークを検出してトップピーク検出信号を出力するトップピーク検出部と、前記ビデオ信号のボタムピークを検出してボタムピーク検出信号を出力するボタムピーク検出部と、前記ビデオ信号から複合同期信号を分離する複合同期信号分離回路と、クロックライン区間に對して第1制御信号を発生するクロックラインウィンドウ回路と、前記トップピーク検出信号と前記ボタムピーク検出信号の間隔値を第2状態の前記第1制御信号に对应してサンプリングし、そのサンプリングされた中間値を第2状態の前記第1制御信号に对应してホールディングして基準電圧を出力するサンプリング/ホールディング回路と、前記複合同期信号を受信してデータが載せられているラインのみで第2制御信号を発生する第2制御信号生成部と、前記第2制御信号に对应して前記ビデオ信号を前記基準信号と比較する比較回路とを備え、前記データスライス回路はデータが載せられているラインのみでデータスライス動作を行うことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の好適な実施例を添付図面を参照して詳細に説明する。下記の説明及び添付図面には、多数の特定詳細が本発明の全般的な理解を助供するために示しているが、本発明はこれに限るものでなく、各種の変形が当該技術分野における通常の知識を持つ者により可能である。かつ、関連する周知の技術に対してはその説明を省略する。

【0018】図3は本発明の望ましい実施例によるデータスライス回路図であり、ビデオ信号はトップピーク検出器10、ボタムピーク検出器12、複合同期信号分離回路16及び比較回路20の非反転入力端子(+)に入力される。前記トップピーク検出器10とボタムピーク検出器12は従来と同様に前記ビデオ信号のトップピークとボタムピークを検出してトップピーク検出信号とボタムピーク検出信号を発生する。

【0019】抵抗R1、R2は前記トップピーク検出信号とボタムピーク検出信号の中間値を従来と同様に生成する。前記中間値は前記サンプリング/ホールディング回路14に入力されるサンプリング/ホールディング信号である。

【0020】さらに、複合同期信号分離回路16は従来と同様に前記ビデオ信号から複合同期信号を分離する。前記複合同期信号はCRIウィンドウ回路18に入力される。前記CRIウィンドウ回路18は従来と同様にC

5

(4)

特開平10-336609

6

R1 区間ではハイ状態、CR1 区間以外の区間ではロー状態の第1制御信号が発生する。前記第1制御信号は前記サンプリング/ホールディング回路14に入力される。前記サンプリング/ホールディング回路14は前記制御信号がハイ状態のときはサンプリング/ホールディング信号をサンプリングし、前記制御信号がロー状態のときはサンプリングした前記サンプリング/ホールディング信号をホールディングして安定した基準電圧を出力する。前記基準電圧は比較回路26の反転入力端子(-)に入力される。

[0021] 前記複合同期信号は垂直同期信号分離回路22とライン計数回路24に入力される。前記垂直同期信号分離回路22は前記複合同期信号から垂直同期信号のみを分離する。前記垂直同期信号分離回路22は低域通過フィルタからなる。

[0022] 前記垂直同期信号はライン計数回路24に入力される。前記ライン計数回路24は前記複合同期信号と垂直同期信号を受信して垂直同期信号以後から発生する複合同期信号を計数する。前記ライン計数回路24は前記計数値が所定の値に至ると、前記計数値が所定の値に至った時点から次の複合同期信号が発生するまでのみロー状態の出力を発生する。ここで、一つの同期信号と次の同期信号との区間を1ラインとする。すなわち、前記ライン計数回路24は垂直同期信号以後の所定のラインではロー状態、その他の区間ではハイ状態の第2制御信号を発生する。

[0023] 前記所定のラインを19番目(10011)ラインと仮定すると、ライン計数回路24の詳細を示した図6を参照すれば、計数値CNTは第1～第5のDフリップフロップ(D1～D5)から構成される。前記第1～第5のDフリップフロップ(D1～D5)のリセット端子Rには垂直同期信号が入力される。これにより、前記第1～第5のDフリップフロップ(D1～D5)は垂直同期信号の入力時ごとにリセットされる。

[0024] さらに、第1のDフリップフロップD1のクロック端子には複合同期信号が入力される。第2～第5のDフリップフロップ(D2～D5)のクロック端子には先行フリップフロップの出力端子Qの出力が印加される。かつ、第1～第5のDフリップフロップ(D1～D5)の入力端子Dは出力端子Qと連結される。第1～第5のDフリップフロップ(D1～D5)の出力端子Qは計数値CNTの計数値の出力端となる。

[0025] 前記所定のラインが19番目ラインなので、計数値は「10011」である。したがって、前記計数値CNTが19番目ラインを計数した場合、第1のDフリップフロップD1の出力端子Qの出力は1、第2のDフリップフロップD2の出力端子Qの出力は1、第3のDフリップフロップD3の出力端子Qの出力は0、第4のDフリップフロップD4の出力端子Qの出力は0、第5のDフリップフロップD5の出力端子Qの出力

は1である。このように第1～第5のDフリップフロップD1～D5の出力の出現時のみロー状態の第2制御信号が発生するためのデコーデCはANDゲート(AND)、第1、第2ORゲート(OR1、OR2)及びインバータ(INV)から構成される。

[0026] 前記ANDゲート(AND)は第1、第2、第5のDフリップフロップD1、D2、D5の出力端子Qの出力を受けて三つの出力がいずれもハイ状態の場合のみ、ハイ状態の信号を発生する。前記第1ORゲート(OR1)は第3、第4のDフリップフロップD3、D4の出力端子Qの出力を受けて二つの出力がいずれもロー状態の場合のみ、ロー状態の信号を発生する。

[0027] 前記ANDゲート(AND)の出力はインバータINVにより反転された後、第2ORゲート(OR2)に入力される。かつ、第1ORゲート(OR1)の出力はそのまま第2ORゲート(OR2)に入力される。前記第2ORゲート(OR2)は前記反転されたANDゲート(AND)の出力と第1ORゲート(OR1)の出力がいずれもロー状態の場合のみ、ロー状態の

信号を発生する。
[0028] すなわち、前記第2ORゲート(OR2)の出力信号は、垂直同期信号の発生後、複合同期信号を計数することにより得られた計数値が所定のライン数に対応するとロー状態の信号を発生し、その信号に対して次の複合同期信号が発生するまでロー状態を維持する。
[0029] このようなライン計数回路24の出力を第2制御信号とし、前記第2制御信号は比較回路26に入力される。前記比較回路26は前記第2制御信号がハイ状態の場合のみ動作する。前記比較回路26はビデオ信号を非反転入力端子(+)、基準電圧を反転入力端子(-)に入力する。前記比較回路26は、前記ビデオ信号が基準電圧より大きければハイ状態の出力データを発生し、前記ビデオ信号が基準電圧より小さければロー状態の出力データを発生する。前記比較回路26の詳細構成を図4を参照して説明する。

[0030] 図4を参照すれば、前記比較回路26は比較部COMと制御部CONから構成される。まず、抵抗Rの抵抗値を前記比較部COMのI_oと制御部CONのI_{ref}が同一になるように設定する。前記制御部CONの第12トランジスタQ12は第2制御信号に連結されるベースと、抵抗Rを通して電源V_{cc}に連結されるコレクタと、接地されるエミッタとを備える。かつ、第11トランジスタQ11は比較部COMの第8トランジスタQ8のベースに連結されるベースと、接地されるエミッタとを備える。前記第11トランジスタQ11のコレクタは抵抗Rを通して電源V_{cc}に連結され、ベースにも連結される。
[0031] したがって、前記第2制御信号がハイ状態であれば、I_{ref}は第12トランジスタQ12へ流れ、第11トランジスタQ11のベースにはロー状態の信

(5)

特開平10-336609

8

号が発生する。これにより、比較部COMの第8トランジスタQ8は導通しない。

【0032】しかしながら、前記第2制御信号がロー状態であれば、Irefは第11トランジスタQ11へ流れて第11トランジスタQ11のベースにはハイ状態の信号が発生する。したがって、比較部COMの第8トランジスタQ8は導通する。

【0033】前記比較部COMの非反転入力端子(+)に入力されるビデオ信号は第1トランジスタQ1のベースに入力される。一方、反転入力端子(-)に入力される基準電圧は第2トランジスタQ2のベースに入力される。前記第1トランジスタQ1と第2トランジスタQ2のベースは互いに連結され、第8トランジスタQ8のコレクタにも連結される。前記第8トランジスタQ8のベースは制御部CONの第11トランジスタQ11のベースに連結され、エミッタは接地される。

【0034】さらに、前記第1トランジスタQ1のコレクタは第3トランジスタQ3のコレクタとベースに連結される。かつ、第2トランジスタQ2のコレクタは第6トランジスタQ6のコレクタとベース、第7トランジスタQ7のベースに連結される。前記第3トランジスタQ3と第4トランジスタQ4のエミッタは電源Vccに連結される。前記第3トランジスタQ3のベースは第4トランジスタQ4のベースに連結される。前記第4トランジスタQ4のコレクタはインバータINVの入力端子と第10トランジスタQ10のコレクタに連結される。前記第10トランジスタQ10のベースは第9トランジスタQ9のベースとコレクタ、第7トランジスタQ7のエミッタに連結される。前記第9トランジスタQ9と第10トランジスタQ10のエミッタは接地される。

【0035】ここで、比較部COMにおける第3トランジスタQ3と第4トランジスタQ4はミラー回路であり、第9トランジスタQ9と第10トランジスタQ10もミラー回路である。

【0036】このよう構成を有する比較回路26の制御部CONにハイ状態の第2制御信号が入力されると、制御部CONの第11トランジスタQ11のコレクタはロー状態の信号が発生する。前記第11トランジスタQ11のコレクタの出力は第8トランジスタQ8のベースに入力される。この際、前記第8トランジスタQ8は導通せず、これによりI_oの電流パスが遮断される。したがって、比較部COMは動作しない。

【0037】一方、前記制御部CONにロー状態の第2制御信号が入力されると、制御部CONの第11トランジスタQ11のコレクタはハイ状態の信号が発生する。前記第11トランジスタQ11のコレクタの出力は第8トランジスタQ8のベースに入力される。この際、前記

第8トランジスタQ8が導通してI_oの電流パスが連結される。したがって、比較部COMは動作する。

【0038】前記第2制御信号はデータが載せられているラインのみでロー状態である。したがって、前記比較回路26はデータが載せられているラインのみでデータスライス動作を行う。

【0039】上述した本発明の望ましい実施例によるデータスライス回路にビデオ信号を入力する場合、前記データスライス回路の動作を詳しく説明する。前記複合同期信号分離回路16にビデオ信号を入力することにより、複合同期信号分離回路16は図5に示した複合同期信号を出力する。前記複合同期信号は等化パルス、垂直同期パルス及び水平同期信号からなる。垂直同期信号分離回路22はこのような複合同期信号から垂直同期信号を分離して出力する。

【0040】前記ライン計数回路24は前記垂直同期信号を受信してラインを計数し、前記計数値が所定の値に至ると、一つのライン区間でロー状態の第2制御信号を発生する。前記第2制御信号が比較回路26に入力されることにより、比較回路26は前記第2制御信号がロー状態であるラインのみでデータスライス動作を行う。

【0041】上述したように、本発明はデータが載せられているラインのみでデータスライス動作を行うので、データが載せられていない区間までデータスライスを行うことにより発生するノイズを防止することができる。

【0042】

【発明の効果】 上述したように、本発明はデータが載せられている部分のみでデータスライス動作を行うので、データが載せられていない区間までデータスライスを行うことにより発生するノイズを防止することができる。

【図面の簡単な説明】

【図1】 従来のデータスライス回路図である。

【図2】 図1の各部分における波形である。

【図3】 本発明の望ましい実施例によるデータスライス回路図である。

【図4】 図3の比較回路の詳細図である。

【図5】 図3の各部分における波形図である。

【図6】 図3のライン計数回路の詳細図である。

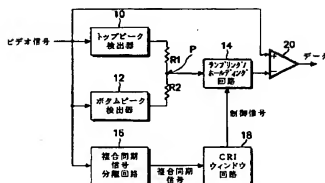
【符号の説明】

- 10 トップピーク検出器
- 12 ボトムピーク検出器
- 14 サンプリング/ホールディング回路
- 16 複合同期信号分離回路
- 18 CR1ウィンドウ回路
- 22 垂直同期信号分離回路
- 24 ライン計数回路
- 26 比較回路

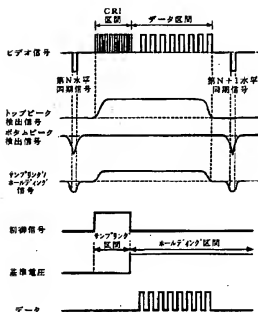
(6)

特開平10-336609

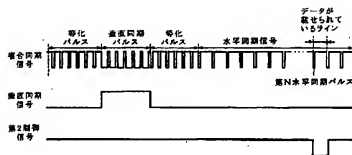
【図1】



【図2】



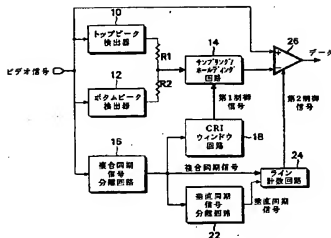
【図5】



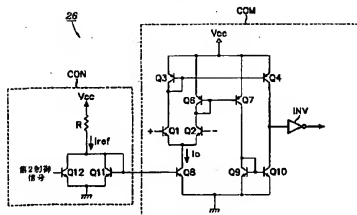
(7)

特開平10-336609

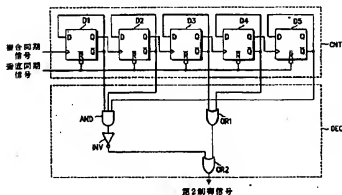
【図3】



【図4】



【図6】



(8)

特開平10-336609

フロントページの続き

(51) Int. Cl. ⁶

識別記号

F 1

H 0 4 N 7/087

7/088

9/44